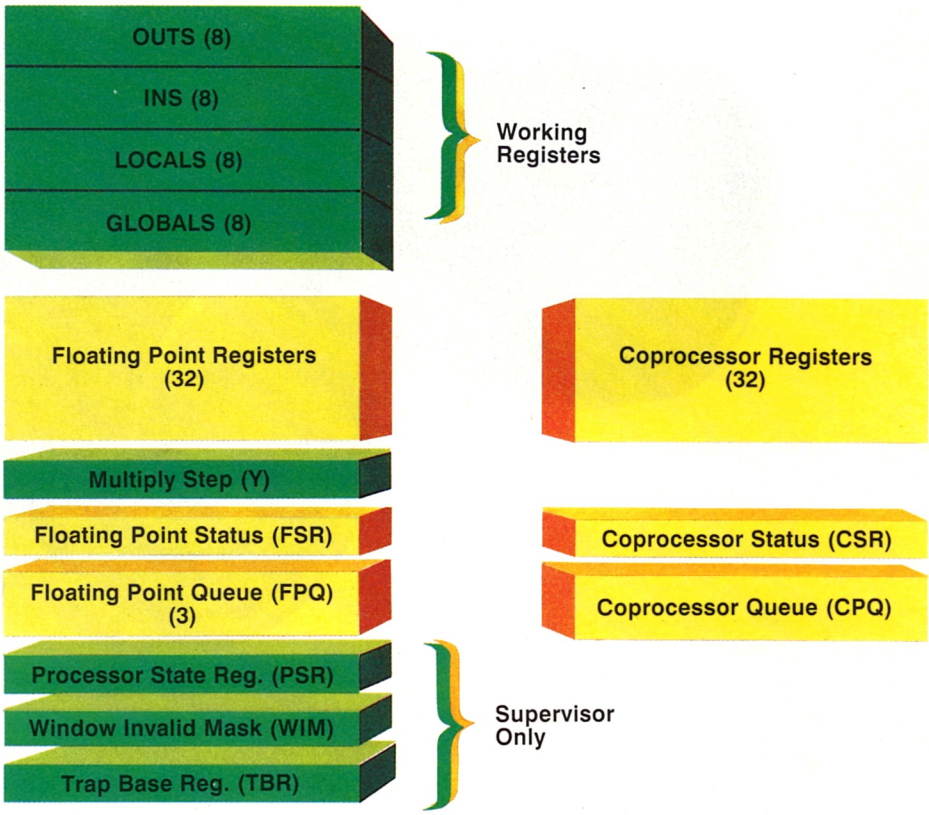
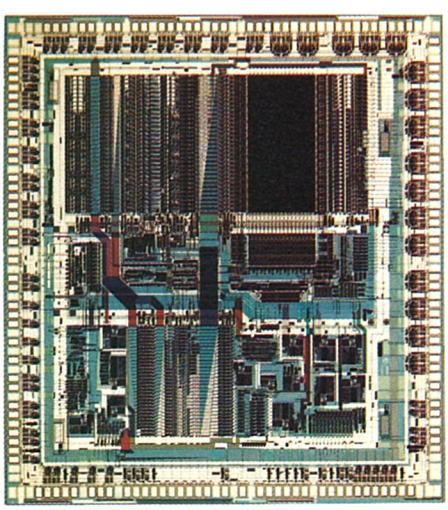
Cypress CY7C601

Das SPARC-Konzept von Sun Microsystems setzt einen neuen Maßstab. Sowohl Personal- als auch Super-Computer lassen sich mit SPARC realisieren.



SPARC-PR

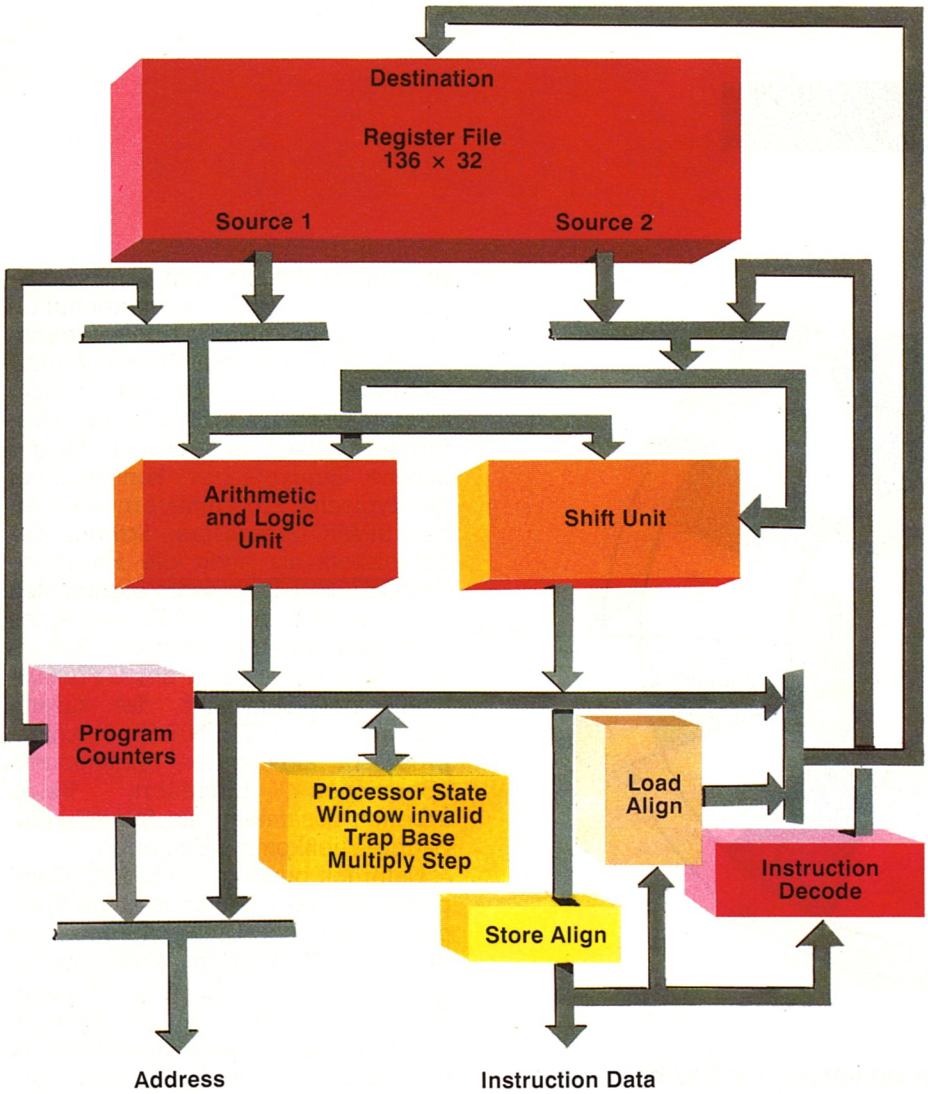


Quelle: Cypress Semiconductor

Nagelneu und ungewöhnlich leistungsfähig ist der RISC-Prozessor CY7C601 von Cypress. Eigentlich handelt es sich dabei um keinen waschechten RISC-Chip, sondern vielmehr um einen äußerst schnellen Schaltkreis, der die sogenannte SPARC-Spezifikation erfüllt. RISC steht bekanntlich für Reduced Instruction Set Computer (Prozessor mit reduziertem Befehlssatz), und SPARC ist eine Abkürzung für Scalable Processor Architecture, was soviel wie Prozessor mit skalierbarer Architektur bedeutet.

Das SPARC-Konzept wurde von Sun Microsystems entwickelt und bereits auf den Sun-4-Workstations mit großem Erfolg eingesetzt. Heute spricht bereits vieles dafür, daß sich die „aggressive" Natur des SPARC-Konzepts durchaus zu einem neuen Industriestandard mausern könnte: Sowohl kleine Personal-Computer als auch Super-Computer lassen sich einfach wegen der nach allen Seiten hin offenen SPARC-Architektur realisieren.

Wer das SPARC-Konzept verstehen möchte, sollte auch die RISC-Architektur kennen. Deshalb werden zunächst die charakteristischen RISC-Eigenschaften erklärt, die die Basis für den CY7C601-Chip von Cypress bilden: Die meisten Maschinenbefehle führt ein RISC-Prozessor in einem einzigen Taktzyklus aus. Festverdrahtete



Auf der linken Seite ist das Programmiermodell des SPARC-Prozessors abgebildet. Rechts daneben befindet sich das Blockschaltbild der Integer-Einheit.

Illustrationen: Arnold Metzinger

...OZESSOR

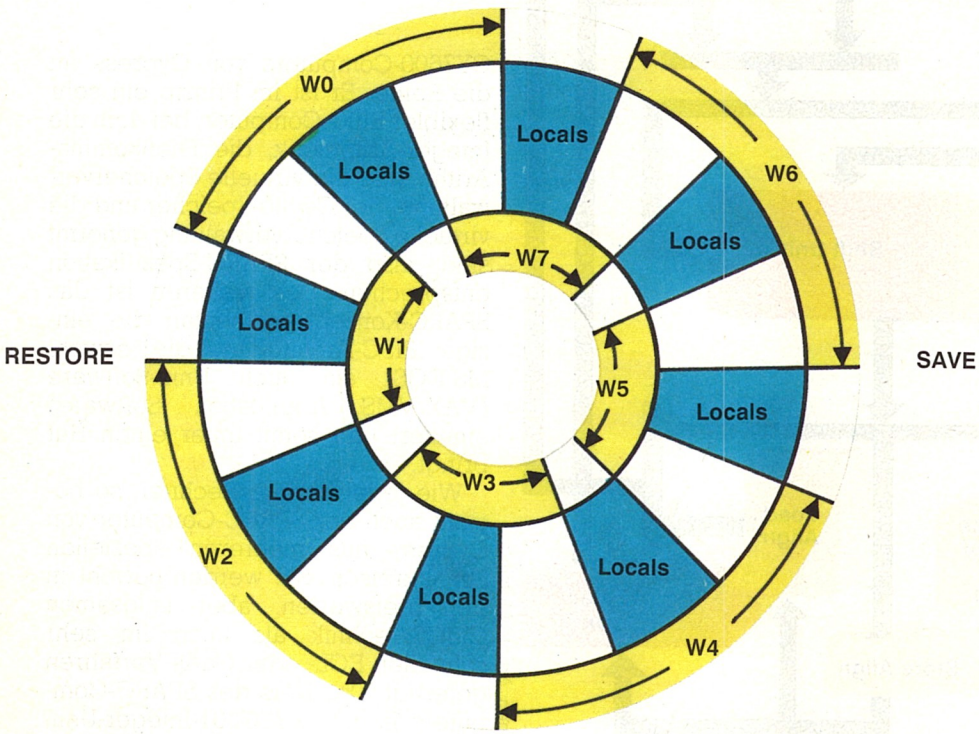
Logik rückt bei einer RISC-Maschine an die Stelle des Mikrokodes, wie er beispielsweise bei der 68000er-Familie von Motorola verwendet wird. Mikroprozessoren mit Mikrokode heißen auch CISC-Maschinen (CISC = Complex Instruction Set Computer). Sie lassen sich zwar wegen des komfortablen Befehlssatzes besonders leicht auf Assembler-Ebene programmieren, aber der Mikrokode macht das Chip-Design recht komplex, und jeder Maschinenbefehl benötigt mehrere Taktzyklen.

Ein echter RISC-Prozessor führt alle Berechnungen, beispielsweise die arithmetischen und logischen Instruktionen, ausschließlich über die internen Prozessorregister aus. Zugriffe auf den Arbeitsspeicher erfolgen stets über Lade- und Schreibebefehle. Des weiteren sind die Befehle einer RISC-Maschine äußerst einfach aufgebaut: In der Regel ist jede Instruktion ein Wort lang (32 bit beim CY7C601), und es lassen sich nur wenige Adressierungsarten anwenden. Um den heutigen Anforderungen zu entsprechen, verfügen moderne RISC-Prozessoren wie der CY7C601 von Cypress standardmäßig über weit mehr als 100 interne Vielzweckregister.

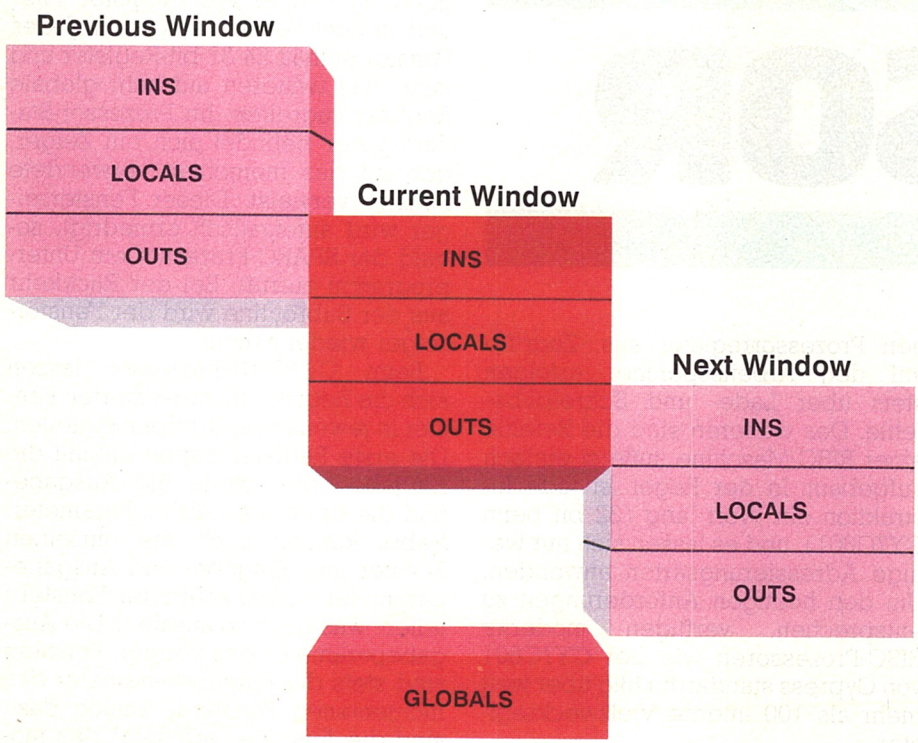
Nachdem nun die typischen RISC-Merkmale bekannt sind, kommt jetzt das SPARC-Konzept des neuen CY7600-Computers von Cypress an die Reihe. Er ist im Prinzip ein sehr flexibler RISC-Computer, bei dem die Integer-Arithmetik, die Fließkomma-Arithmetik, die virtuelle Speicherverwaltung, der Cache-Speicher und die virtuelle Speicherverwaltung genormt sind, also der SPARC-Spezifikation entsprechen. Des weiteren ist das SPARC-Konzept momentan die einzige RISC-Architektur, die sowohl MS-DOS- als auch Unix-Software (VAX/VMS Application Software) emuliert und somit unter einen Hut bringt.

Wie jeder andere Rechner, so besteht auch der SPARC-Computer von Cypress aus mehreren speziellen Schaltkreisen. Sie werden sowohl in der preiswerten, aber langsamen CMOS-Technik als auch im sehr schnellen ECL- oder GaAs-Verfahren gefertigt. Das Herz des SPARC-Computers ist die CY7C601-Integer-Unit, die alle Berechnungen auf ganzzahlige Operanden durchführt. Sie enthält einen großen Registersatz, der aus insgesamt 136 32-bit-Registern besteht. Der Registersatz selbst ist wiederum von drei Ebenen aus zugänglich (Triple Port Register File) und in acht Fenster eingeteilt. Jedes Fenster enthält 24 32-bit-Register und kann des weiteren auf acht globale Register zugreifen. Im Prozessor-Statusregister befindet sich ein Zeiger, der auf das momentan verwendete Fenster verweist. Dieser Fensterzeiger wird automatisch erniedrigt, sobald der SPARC-Prozessor ein Unterprogramm aufruft. Bei der Rückkehr aus der Subroutine wird der Fensterzeiger wieder erhöht.

Beim CY7C601-Prozessor lassen sich die Register im adressierten Fenster in jeweils drei Gruppen einteilen. Die erste Registergruppe enthält die Eingabe-, die zweite die Ausgabe- und die dritte die lokalen Parameter. Dabei können auch die einzelnen Fenster ihre Eingabe- und Ausgabeparameter mit benachbarten Fenstern teilen, was dann so aussieht: Die Ausgabeparameter des vorigen Fensters sind stets die Eingabeparameter des momentanen Fensters. Analog dazu sind die Ausgabeparameter des momentanen Fensters die Eingabeparameter des folgenden Fensters. Und globale Parameter sind gleichrangig



Der Registersatz des SPARC-Prozessors besteht aus insgesamt 136 32-bit-Registern. Sie sind als ringförmiger Fenster-Stack angeordnet.



Über den Fenster-Stack lassen sich die lokalen und globalen Parameter bei Prozeduraufrufen sehr schnell und einfach manipulieren.

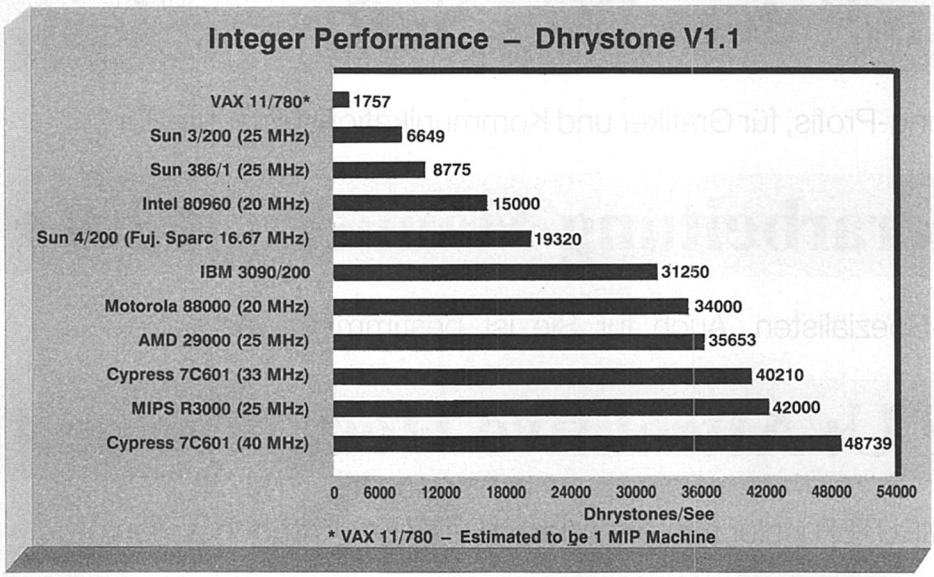
zugänglich für alle acht Fenster. Dagegen stehen lokale Parameter nur innerhalb eines Fensters zur Verfügung.

Um besonders schnell und komfortabel auf bestimmte Parameter zuzugreifen, wurden alle Fenster als kreisförmiger Stack angeordnet. Dieser interne Ringspeicher kennzeichnet das typische Programmiermodell eines SPARC-Prozessors. Sowohl der Befehlssatz als auch die Hardware des CY7C601-Prozessors eignen sich ausgezeichnet für den Einsatz eines Multitasking-Betriebssystems. Zur Integer-Unit gesellt sich der CY7C608-Fließkomma-Controller, der zusammen mit dem CY7C609-Fließkommaprozessor anfallenden Fließkommaoperationen durchführt. Beide arbeiten zusammen als SPARC-kompatible Fließkomma-Einheit.

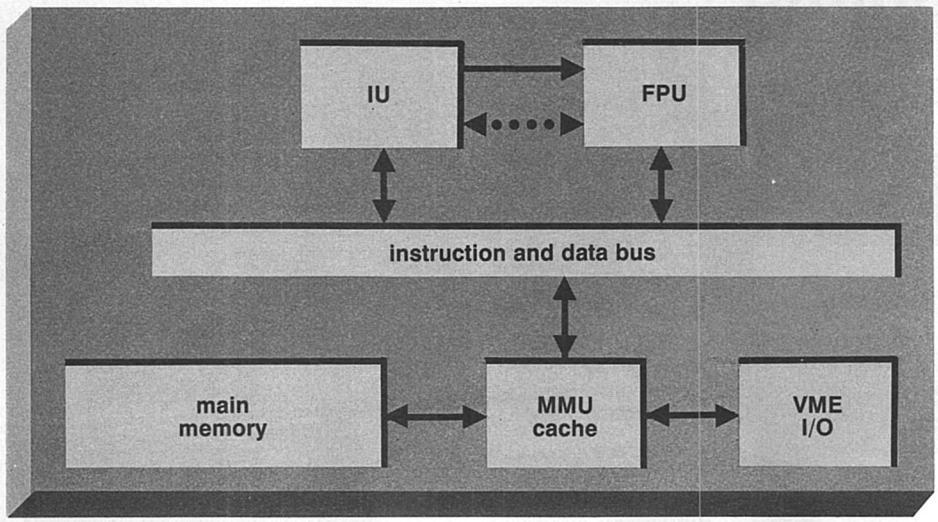
Natürlich benötigt ein SPARC-Computer auch eine leistungsfähige Speicherverwaltung. Diese Aufgabe erfüllt der CY7C603-Schaltkreis, der die SPARC-Definition für die virtuelle Speicherverwaltung in jeder Hinsicht erfüllt: Dabei ist jede Speicherseite ausschließlich vier KByte lang, und die Speicherverwaltung übersetzt die 32 bit virtuelle Adresse des SPARC-Prozessors in eine 36 bit breite physikalische Adresse.

Die schnelle Umsetzung der virtuellen in eine physikalische Adresse erfolgt über den sogenannten Lookaside-Puffer, der bereits auf den Speicherverwaltungs-Schaltkreis integriert ist. Dieser Puffer enthält alle Informationen, die die Speicherverwaltung für die Übersetzung der Adressen benötigt. Falls sich die benötigten Daten bei der Speicheradressierung bereits im Lookaside-Puffer befinden, so kann die Speicherverwaltung direkt die physikalische Adresse ausgeben. Sollte sich jedoch die virtuelle Adresse noch nicht im Puffer befinden, dann leitet die Speicherverwaltung unverzüglich die Übersetzung der Adressen ein. Dabei verwendet sie eine im Hauptspeicher residente Seitentabelle, die insgesamt drei Ebenen tief ist. Somit läßt sich der adressierte Speicher leicht vor unbefugten Zugriffen schützen. Etwa eine Fehlbedienung kann so das Computer-System erst gar nicht zum Absturz bringen.

Reicht trotz allem das Arbeitstempo des SPARC-Prozessors nicht aus, so kann der Computer mit zwei weiteren



Benchmarks sind stets mit Vorsicht zu genießen. Dennoch zeigen sie, wo das Rechentempo des SPARC-Prozessors von Cypress liegt.



Das Blockschaltbild des SPARC-Computers unterscheidet sich kaum von einem modernen Personal-Computer.

Rasante Entwicklung

Sun Microsystems, der Erfinder des SPARC-Konzepts, und Texas Instruments arbeiten bei künftigen SPARC-Weiterentwicklungen zusammen. Deshalb haben beide Firmen ein langfristiges Lizenzabkommen geschlossen, dessen Kern die Vermarktung und Distribution von SPARC-Chips ist. Um unverzüglich in die SPARC-Fertigung einzusteigen, hat Texas Instruments parallel zu dem Vertrag mit Sun ein Second-Source-Abkommen mit Cypress geschlossen.

Mit den drei SPARC-Lizenznehmern Prisma, Metaflow und Selbourne wird für Suns RISC-Architektur die nächste Leistungsrunde eingeläutet. Prisma legt die Basis für die Gallium-Arsenid-Fertigung, während Metaflow die SPARC-Chips in ECL-Technik fertigen wird. Und die Entwicklung eines 64-bit-SPARC-Computers mit hohem Integrationsgrad treibt Selbourne voran.

API-Elektronik, Markt Indersdorf, möchte bereits im Herbst eine Erweiterungskarte mit den Cypress-Chips auf den Markt bringen. Die Karte kann in jeden AT-kompatiblen Computer gesteckt werden.

Bausteinen bestückt werden: dem sogenannten Cache-Tag-RAM (CY7C181) sowie dem Cache-Data-RAM (CY7C153). Beide Schaltkreise eliminieren die Wartezyklen, die sonst beim Zugriff auf den Arbeitsspeicher entstehen.

Nur etwa 50 verschiedene Befehle kennt der CY7C601-Prozessor, die sich wiederum in fünf Gruppen einteilen lassen. Die Lade- und Schreibebefehle bieten dem Prozessor die einzige Möglichkeit, auf den Arbeitsspeicher zuzugreifen. Diese Instruktionen verwenden entweder zwei Register oder ein einzelnes Register mit einer Konstanten (Offset), um die Speicheradresse zu berechnen.

Zur zweiten Befehlsgruppe zählen arithmetische, logische sowie Schiebeoperationen. Diese Instruktionen verwenden zwei Quellregister, die beide Operanden enthalten. Das Resultat wird dann in ein Zielregister kopiert. Fließkomma- und spezielle Koprozessorbefehle zählen zur dritten Befehlsgruppe. Dabei kann der Fließkomma-Prozessor parallel und unabhängig von der Integer-Unit arbeiten.

Zur vierten Befehlsgruppe zählen die sogenannten Steuer- und Transferinstruktionen. Zu ihnen gehören beispielsweise Sprünge, Aufrufe von Unterprogrammen sowie die Software- und Hardware-Interrupts. Gerade bei dieser Befehlsgruppe unternimmt der CY7C601-Prozessor eine ungewöhnliche Aktion, die wohl kaum bei einem anderen vergleichbaren Produkt zu finden ist: Die Ausführung der Steuer- und Transferbefehle verzögert der SPARC-Prozessor so lange, bis die folgende Instruktion dekodiert ist. Der entscheidende Vorteil liegt nun darin, daß der Befehlszwischenspeicher (Pipeline) nicht jedesmal entleert werden muß, wenn ein solcher Befehl auf seine Verarbeitung wartet. Bei zukünftigen schnellen und optimierenden Compilern eröffnet diese Eigenschaft des SPARC-Prozessors neue Horizonte. Zur fünften Befehlsgruppe zählen noch spezielle Instruktionen, womit die internen Steuerregister des Prozessors gelesen, geschrieben oder modifiziert werden können. Ein besonderer Lade- und Schreibebefehl ist speziell für die Parallelverarbeitung vorgesehen. Beide Instruktionen ermöglichen die Darstellung von Semaphoren.

-na